

843.39542X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MINAMI, et al

Serial No.:

Filed: January 25, 2001

Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
METHOD OF MANUFACTURING THE SAME

Group:



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

January 25, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-20920 filed January 28, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No. 28,141

GEM/nac
Attachment
(703) 312-6600

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 1月28日

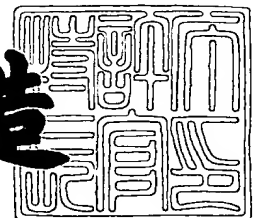
出願番号
Application Number: 特願2000-020920

出願人
Applicant (s): 株式会社日立製作所

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3086411

【書類名】 特許願

【整理番号】 H00001271

【提出日】 平成12年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/90

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 南 眞一

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 神垣 良昭

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 安岡 秀記

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 大和田 福夫

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板の主面に形成された第 2 導電型の第 1 半導体領域と、前記第 1 半導体領域の下部の前記半導体基板に形成され、その平面パターンの面積が前記第 1 半導体領域のそれよりも小さい第 1 導電型の第 2 半導体領域とによって構成されるツェナー・ダイオードを備えた半導体集積回路装置であって、

前記第 1 半導体領域と配線とを接続する複数個の第 1 接続孔を、前記第 1 半導体領域と前記第 2 半導体領域とが接合を形成していない領域に配置したことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記第 2 半導体領域は、前記第 1 半導体領域のほぼ中央部に配置され、前記複数個の第 1 接続孔は、前記第 1 半導体領域の周辺部に配置されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、前記第 2 半導体領域と接合を形成している領域における前記第 1 半導体領域の接合深さは、前記半導体基板と接合を形成している領域における前記第 1 半導体領域の接合深さよりも浅いことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置において、前記複数個の第 1 接続孔のそれぞれは、隣接する第 1 接続孔とのピッチが回路の接続孔の最小ピッチよりも大きくなるように、離間して配置されていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 記載の半導体集積回路装置において、前記隣接する第 1 接続孔とのピッチは、前記回路の接続孔の最小ピッチの 2 倍以上であることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置において、前記隣接する第 1 接続孔とのピッチは、前記回路の接続孔の最小ピッチの 3 倍以上であることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 記載の半導体集積回路装置において、前記隣接する第 1 接続孔とのピッチは、前記回路の接続孔の最小ピッチの 4 倍以上であることを特徴とする半導体集積回路装置。

【請求項 8】 第 1 導電型の半導体基板の主面に形成された第 2 導電型の第 1 半導体領域と、前記第 1 半導体領域の下部の前記半導体基板に形成され、その平面パターンの面積が前記第 1 半導体領域のそれよりも小さい第 1 導電型の第 2 半導体領域とによって構成されるツェナー・ダイオードを備えた半導体集積回路装置であって、

前記第 1 半導体領域と配線とを接続する複数の第 1 接続孔を、前記第 1 半導体領域と前記第 2 半導体領域とが接合を形成していない領域に配置し、前記複数の第 1 接続孔のそれぞれを、隣接する第 1 接続孔とのピッチが回路の接続孔の最小ピッチよりも大きくなるように、離間して配置したことを特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 記載の半導体集積回路装置において、前記第 2 半導体領域と接合を形成している領域における前記第 1 半導体領域の接合深さは、前記半導体基板と接合を形成している領域における前記第 1 半導体領域の接合深さよりも浅いことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 8 記載の半導体集積回路装置において、前記複数の第 1 接続孔のそれぞれの径は、回路の最小ピッチで配置された接続孔の径以下であることを特徴とする半導体集積回路装置。

【請求項 11】 半導体基板の主面の第 1 領域に形成された第 1 半導体領域と第 1 配線とが複数の第 1 接続孔を通じて電氣的に接続され、前記半導体基板の主面の第 2 領域に形成された第 2 半導体領域と第 2 配線とが複数の第 2 接続孔を通じて電氣的に接続された半導体集積回路装置であって、

前記複数の第 1 接続孔のそれぞれは、隣接する第 1 接続孔とのピッチが回路の接続孔の最小ピッチよりも大きくなるように離間して配置され、前記複数の第 2 接続孔のそれぞれは、隣接する第 2 接続孔とのピッチが回路の接続孔の最小ピッチと同程度になるように配置されていることを特徴とする半導体集積回路装置。

【請求項 1 2】 以下の工程を含む半導体集積回路装置の製造方法；

(a) 第 1 導電型の半導体基板の主面の第 1 領域に第 1 導電型の半導体領域を形成した後、前記第 1 導電型の半導体領域の上部の前記半導体基板に、その平面パターンの面積が前記第 1 導電型の半導体領域のそれよりも大きい第 2 導電型の半導体領域を形成することによって、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域とによって構成されるツェナー・ダイオードを形成する工程、

(b) 前記半導体基板の主面上に絶縁膜を形成した後、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域とが接合を形成していない領域の上部の前記絶縁膜に複数個の接続孔を形成する工程、

(c) 前記絶縁膜の上部に配線を形成し、前記複数個の接続孔を通じて前記配線と前記第 2 導電型の半導体領域とを電氣的に接続する工程。

【請求項 1 3】 請求項 1 2 記載の半導体集積回路装置の製造方法において、前記ツェナー・ダイオードの一部を構成する前記第 2 導電型の半導体領域は、前記第 1 導電型の半導体領域の主面の第 2 領域に M I S F E T のソース、ドレインを構成する第 2 導電型の半導体領域を形成する工程で同時に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】 請求項 1 2 記載の半導体集積回路装置の製造方法において、前記複数個の接続孔のそれぞれは、隣接する接続孔とのピッチが回路の接続孔の最小ピッチよりも大きくなるように、離間して配置されることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 5】 半導体基板の主面に形成された第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域の上部の前記半導体基板に形成され、前記第 1 半導体領域よりも不純物濃度が高い第 1 導電型の第 2 半導体領域と、

前記第 1 および第 2 半導体領域の上部の前記半導体基板に形成された第 2 導電型の第 3 半導体領域と、

前記半導体基板の主面上に形成された第 1 絶縁膜と、

前記第 1 半導体領域の上部の前記第 1 絶縁膜に形成された複数の接続孔よりなる第 1 接続孔と、

前記第 3 半導体領域の上部の前記第 1 絶縁膜に形成された複数の接続孔よりなる第 2 接続孔とを有する半導体集積回路装置であって、

前記第 2 接続孔は、前記第 1 半導体領域と前記第 3 半導体領域とが接合を形成している領域の上部に形成されていることを特徴とする半導体集積回路装置。

【請求項 1 6】 請求項 1 5 記載の半導体集積回路装置において、前記第 1 および第 2 接続孔の内部には、それぞれ第 1 および第 2 導電性接続体が形成されており、

前記第 1 絶縁膜の上部には、前記第 1 導電性接続体を介して前記第 1 半導体領域に接続される第 1 配線と、前記第 2 導電性接続体を介して前記第 3 半導体領域に接続される第 2 配線とが形成されていることを特徴とする半導体集積回路装置。

【請求項 1 7】 請求項 1 6 記載の半導体集積回路装置において、前記第 1 半導体領域は、第 1 導電型の第 4 半導体領域と、前記第 4 半導体領域を介して前記第 1 導電性接続体に接続され、前記第 4 半導体領域よりも不純物濃度が低い第 5 半導体領域とによって構成されていることを特徴とする半導体集積回路装置。

【請求項 1 8】 請求項 1 5 記載の半導体集積回路装置において、前記第 1 および第 2 接続孔は、フォトリソ膜をマスクにして前記第 1 絶縁膜をドライエッチングすることにより形成されたものであることを特徴とする半導体集積回路装置。

【請求項 1 9】 半導体基板の主面に形成された第 1 半導体領域と、

前記第 1 半導体領域の上部の前記半導体基板に形成された第 1 導電型の第 2 半導体領域と、

前記第 1 および第 2 半導体領域の上部の前記半導体基板に形成された第 2 導電型の第 3 半導体領域と、

前記半導体基板の主面上に形成された第 1 絶縁膜と、

前記第 1 半導体領域の上部の前記第 1 絶縁膜に形成された複数の接続孔よりなる第 1 接続孔と、

前記第 3 半導体領域の上部の前記第 1 絶縁膜に形成された複数の接続孔よりなる第 2 接続孔とを有する半導体集積回路装置であって、

前記第 2 接続孔における隣接する接続孔同士の最小ピッチは、前記第 1 接続孔における隣接する接続孔同士の最小ピッチより大きいことを特徴とする半導体集積回路装置。

【請求項 20】 請求項 19 記載の半導体集積回路装置において、前記第 1 半導体領域は、第 1 導電型の半導体領域であり、前記第 2 半導体領域よりも不純物濃度が低いことを特徴とする半導体集積回路装置。

【請求項 21】 請求項 19 記載の半導体集積回路装置において、前記第 1 半導体領域は、バイポーラ・トランジスタのコレクタ領域を構成する第 2 導電型の半導体領域であり、前記第 2 半導体領域は、前記バイポーラ・トランジスタのベース領域を構成する第 1 導電型の半導体領域であり、前記第 3 半導体領域は、前記バイポーラ・トランジスタのエミッタ領域を構成する第 2 導電型の半導体領域であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、内部昇圧回路のクランプ素子をツェナー・ダイオードによって構成した半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】

メモリ L S I の一種の E E P R O M (Electrically Erasable and Programmable ROM) は、データの書換え（書込みおよび消去）時にゲート電極に電源電圧（ V_{cc} ）よりも高い電圧（ V_{pp} ）を印加するための定電圧発生回路を備えている。定電圧発生回路内の昇圧回路には、電圧安定化用のクランプ素子としてツェナー・ダイオードが接続され、これによって上記書換え電圧（ V_{pp} ）が E E P R O M に安定供給されるようになっている。この種のツェナー・ダイオードについては、例えば特開平 1 - 5 9 9 4 9 号公報に記載されたものが公知である。

【0003】

上記公報に記載されたツェナー・ダイオードは、半導体基板の p 型ウエルに形

成された n^+ 型半導体領域と、この n^+ 型半導体領域の下部の p 型ウエルに形成された p^+ 型半導体領域とによって構成されている。 p^+ 型半導体領域は、その平面パターンの面積が n^+ 型半導体領域のそれよりも小さく、 n^+ 型半導体領域のほぼ中央部に配置されている。これにより、 p^+ 型半導体領域と n^+ 型半導体領域とが半導体基板中で閉じた構造となり、半導体基板とその上部の絶縁膜（酸化シリコン膜）との界面における界面準位によるリーク電流の問題の発生が回避されるようになっている。

【0004】

上記 p^+ 型半導体領域が形成された p 型ウエルと n^+ 型半導体領域とには、それらの上部を覆う絶縁膜に開孔した接続孔を通じて配線が接続されている。 n^+ 型半導体領域には、その中央部、すなわち p^+ 型半導体領域の上部の絶縁膜に形成された接続孔を通じて配線が接続されるようになっている。

【0005】

【発明が解決しようとする課題】

EEPROMの微細化、高集積化が進むと、メモリセルや周辺回路を構成する MISFET (Metal Insulator Semiconductor Field Effect Transistor) のソース、ドレインの接合深さが次第に浅くなり、それにつれて定電圧発生回路内のツェナー・ダイオードを構成する n^+ 型半導体領域および p^+ 型半導体領域の接合深さも次第に浅くなっていく。また、 n^+ 型半導体領域や p^+ 型半導体領域と配線とを接続する接続孔の径も微細になり、ドライエッチングによる接続孔の開孔が困難になっていく。

【0006】

そのため、前記公報に記載されたようなツェナー・ダイオードにおいては、 n^+ 型半導体領域と配線とを接続するための接続孔を開孔する際、素子が高密度に配置されるメモリ領域などに開孔する接続孔との径の相違により、径の大きいツェナー・ダイオード形成領域の接続孔に過大な基板削れが発生し、接続孔の底部の $p-n$ 接合 (p^+ 型半導体領域 / n^+ 型半導体領域) における n^+ 型半導体領域の厚さ（接合深さ）が極めて薄くなるために、トンネル電流などに起因するリーク電流の増加が顕在化してくる。

【 0 0 0 7 】

その結果、ツェナー・ダイオードの降伏（ブレイクダウン）開始電圧でのリーク電流が、例えば $10\mu\text{A}$ を超えるようになり、クランプ電圧が低下するために所望の書換え電圧が得られなくなるという問題が生じる。

【 0 0 0 8 】

本発明の目的は、ツェナー・ダイオードのリーク電流を低減することのできる技術を提供することにある。

【 0 0 0 9 】

本発明の他の目的は、基板と配線とを接続するための接続孔を形成する際に生じる基板割れを抑制することのできる技術を提供することにある。

【 0 0 1 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 1 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

（１）本発明の半導体集積回路装置は、第１導電型の半導体基板の主面に形成された第２導電型の第１半導体領域と、前記第１半導体領域の下部に形成され、その平面パターンの面積が前記第１半導体領域のそれよりも小さい第１導電型の第２半導体領域とによって構成されるツェナー・ダイオードを備え、前記第１半導体領域と配線とを接続する複数個の第１接続孔を、前記第１半導体領域と前記第２半導体領域とが接合を形成していない領域に配置するものである。

（２）本発明の半導体集積回路装置は、第１導電型の半導体基板の主面に形成された第２導電型の第１半導体領域と、前記第１半導体領域の下部に形成され、その平面パターンの面積が前記第１半導体領域のそれよりも小さい第１導電型の第２半導体領域とによって構成されるツェナー・ダイオードを備え、前記第１半導体領域と配線とを接続する複数個の第１接続孔を、前記第１半導体領域と前記第２半導体領域とが接合を形成していない領域に配置し、前記複数個の第１接続孔

のそれぞれを、隣接する第 1 接続孔とのピッチが回路の接続孔の最小ピッチよりも大きくなるように、離間して配置するものである。

(3) 本発明の半導体集積回路装置は、前記(1)または(2)において、前記複数個の第 1 接続孔のそれぞれを、隣接する第 1 接続孔とのピッチが回路の接続孔の最小ピッチよりも大きくなるように離間して配置するものである。

(4) 本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

(a) 第 1 導電型の半導体基板の主面の第 1 領域に第 1 導電型の半導体領域を形成した後、前記第 1 導電型の半導体領域の上部の前記半導体基板に、その平面パターンの面積が前記第 1 導電型の半導体領域のそれよりも大きい第 2 導電型の半導体領域を形成することによって、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域とによって構成されるツェナー・ダイオードを形成する工程、

(b) 前記半導体基板の主面上に絶縁膜を形成した後、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域とが接合を形成していない領域の上部の前記絶縁膜に複数個の接続孔を形成する工程、

(c) 前記絶縁膜の上部に配線を形成し、前記複数個の接続孔を通じて前記配線と前記第 2 導電型の半導体領域とを電氣的に接続する工程。

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 1 3 】

(実施の形態 1)

図 1 は、本実施形態のシステム L S I が形成された半導体チップのブロック図である。この半導体チップ 1 A に形成されたシステム L S I は、例えば I C カードに内蔵されて使用されるものであり、中央演算処理装置 (C P U)、入出力回路 (I / O)、システムコントローラ、ウォッチドックタイマ、乱数発生器、R O M (Read Only Memory)、R A M (Random Access Memory) および E E P R O M などによって構成されている。

【0014】

上記システムLSIの一部を構成するEEPROMは、例えばICカードのデータメモリとして使用され、半導体チップ1Aに内蔵された図2に示すような定電圧発生回路を通じて書換え（書込みおよび消去）用の高電圧（ V_{pp} ）が供給されるようになっている。定電圧発生回路は、例えば3～5Vの外部電源電圧（ V_{cc} ）を昇圧して-13V程度の書換え電圧（ V_{pp} ）を発生する。また、定電圧発生回路内の昇圧回路には、電圧安定化用のクランプ素子として2段のツェナー・ダイオード（ D_1 、 D_2 ）が接続されており、これらのツェナー・ダイオード（ D_1 、 D_2 ）によって上記書換え電圧（ V_{pp} ）がEEPROMに安定供給されるようになっている。

【0015】

図3は、上記ツェナー・ダイオード（ D_1 、 D_2 ）の平面図、図4は、図3のI-V-I V線に沿った半導体基板の断面図、図5は、図3に示したツェナー・ダイオード（ D_1 、 D_2 ）に接続された配線の図示を省略した概略平面図である。

【0016】

ツェナー・ダイオード（ D_1 、 D_2 ）のそれぞれは、半導体基板（以下、単に基板という）1のp型ウエル5に形成された n^+ 型半導体領域20と、この n^+ 型半導体領域20の下部のp型ウエル5に形成された p^+ 型半導体領域6とによって構成されている。 p^+ 型半導体領域6は、その平面パターンの面積が n^+ 型半導体領域20のそれよりも小さく、 n^+ 型半導体領域20のほぼ中央部に配置されている。

【0017】

n^+ 型半導体領域20の平面寸法は、例えば縦×横＝ $25\mu m \sim 27\mu m \times 25\mu m \sim 27\mu m$ 程度であり、 p^+ 型半導体領域6の平面寸法は、例えば縦×横＝ $20\mu m \times 20\mu m$ 程度である。また、 n^+ 型半導体領域20の接合深さは、その中央部、すなわち p^+ 型半導体領域6が形成された領域では、例えば $0.12\mu m \sim 0.18\mu m$ 程度と浅く、その周辺部、すなわち p^+ 型半導体領域6が形成されていない領域では、それよりも深い。

【0018】

上記2個のツェナー・ダイオード (D_1 、 D_2) の上部には配線21～23が形成されている。これらの配線21～23のうち、配線21は、ツェナー・ダイオード (D_1 、 D_2) の上部を覆う酸化シリコン膜29に形成された複数個の接続孔24を通じて一方のツェナー・ダイオード (D_1) の n^+ 型半導体領域20と電氣的に接続されている。配線22の一部は、酸化シリコン膜29に形成された複数個の接続孔24を通じてもう一方のツェナー・ダイオード (D_2) の n^+ 型半導体領域20と電氣的に接続されている。これらの接続孔24は、 n^+ 型半導体領域20の周辺部、すなわち n^+ 型半導体領域20と p^+ 型半導体領域6とが接合を形成していない領域に沿ってほぼ等間隔で配置されている。

【0019】

また、配線22の他の一部および配線23は、酸化シリコン膜29に形成された複数個の接続孔25を通じて p 型ウエル5および p^+ 型半導体領域6と電氣的に接続されている。ツェナー・ダイオード (D_1 、 D_2) の一方と他方とは、配線22を介して直列に接続されている。

【0020】

n^+ 型半導体領域20と第1層目の配線21、22とを接続する複数個の接続孔24のそれぞれは、隣接する接続孔24とのピッチが回路の最小ピッチよりも大きくなるように離間して配置されている。例えばこのシステムLSIを構成する回路素子と第1層目の配線とを接続する接続孔同士の最小ピッチが $0.95\mu\text{m}$ である場合は、接続孔24同士のピッチは、 $3.8\mu\text{m}$ 程度である。

【0021】

図6は、上記接続孔24のレイアウトと降伏（ブレイクダウン）電圧以下の電圧において発生するリーク電流との関係を1段のツェナー・ダイオードについて測定した結果を示すグラフである。ここで図中の実線Aは、前述したような本実施形態における接続孔24のレイアウト、すなわち図7に簡略化して示すように、複数個の接続孔24を n^+ 型半導体領域20の周辺部（ p^+ 型半導体領域6と接合を形成していない領域）に配置し、かつ接続孔24同士を離間して配置した場合である。ここでは、接続孔24の径を $0.45\mu\text{m}$ 、接続孔24同士のピッチを $3.8\mu\text{m}$ とした。

【 0 0 2 2 】

一方、図中の実線B、破線、一点鎖線および二点鎖線は、いずれも径が $0.45\mu\text{m}$ の接続孔24を p^+ 型半導体領域6の上部に配置した場合である。実線Bは、図8に示すように、複数個の接続孔24を p^+ 型半導体領域6のほぼ全域に離間して配置した場合、二点鎖線は、図9に示すように、 p^+ 型半導体領域6の周辺部に密に配置した場合、一点鎖線は、図10に示すように、 p^+ 型半導体領域6の中央部に密に配置した場合、破線は、図11に示すように、 p^+ 型半導体領域6のほぼ全域に密に配置した場合をそれぞれ示している。図8の例では接続孔24同士のピッチを $3.8\mu\text{m}$ とし、図9～図11の例ではいずれも $0.95\mu\text{m}$ とした。

【 0 0 2 3 】

図示のように、接続孔24を n^+ 型半導体領域20の周辺部に離間して配置する本実施形態のレイアウト（実線A）は、リーク電流が最も少なかった。また、接続孔24を p^+ 型半導体領域6の上部に配置する場合でも、接続孔24同士を離間して配置する場合（実線B）は、密に配置する場合（二点鎖線、一点鎖線および破線）に比べてリーク電流が少なかった。

【 0 0 2 4 】

このように、本実施形態のツェナー・ダイオード（ D_1 、 D_2 ）は、配線21、22と n^+ 型半導体領域20とを接続する接続孔24を n^+ 型半導体領域20の中央部、すなわち p^+ 型半導体領域6と接合を形成している領域には配置せず、接合深さが中央部に比べて深い周辺部に配置する。これにより、 p^+ 型半導体領域6の上部に接続孔24を配置した場合に比べて、接続孔24の底部における n^+ 型半導体領域20の接合深さが大きくなり、この領域におけるトンネル電流の発生が抑制されるので、降伏（ブレイクダウン）電圧以下の電圧において発生するリーク電流を低減することができる。

【 0 0 2 5 】

また、本実施形態のツェナー・ダイオード（ D_1 、 D_2 ）は、 n^+ 型半導体領域20と配線21、22とを接続する複数個の接続孔24のそれぞれを、隣接する接続孔24とのピッチが回路の接続孔の最小ピッチよりも大きくなるように離間

して配置する。これにより、後述する製造工程で酸化シリコン膜 2 9 をエッチングして接続孔 2 4 を形成する際に、接続孔 2 4 の底部における基板 1 の削れ量を低減することができるので、 n^+ 型半導体領域 2 0 の接合深さが浅くなる不具合を抑制することができる。隣接する接続孔 2 4 とのピッチは、回路の接続孔の最小ピッチの少なくとも 2 倍以上、好ましくは 3 倍以上とし、より好ましくは 4 倍以上とする。

【 0 0 2 6 】

次に、周辺回路に上記のようなツェナー・ダイオード (D_1 、 D_2) を有する E E P R O M の製造方法の一例を図 1 2 ~ 図 2 0 を用いて説明する。なお、これらの図には、E E P R O M のメモリセル (Memory cell) を構成する M O N O S (Metal Oxide Nitride Oxide semiconductor) 型 M I S F E T、周辺回路を構成する n チャネル型 M I S F E T (LV NMOS)、 p チャネル型 M I S F E T (LV PMOS)、高耐圧 n チャネル型 M I S F E T (HV NMOS)、高耐圧 p チャネル型 M I S F E T (HV PMOS)、高耐圧 p チャネル型 M I S F E T (デプレッション型) (HV PDMOS) および ツェナー・ダイオード (Zener Diode) の各 1 個分の領域を示す。

【 0 0 2 7 】

まず、図 1 2 に示すように、例えば p 型の単結晶シリコンからなる半導体基板 1 (以下、基板という) を用意し、その主面に周知の L O C O S (Local Oxidation of Silicon) 素子分離技術を用いてフィールド絶縁膜 2 を形成する。このとき、フィールド絶縁膜 2 で囲まれたアクティブ領域の基板 1 の表面には酸化シリコン膜 1 3 が形成される。

【 0 0 2 8 】

次に、図 1 3 に示すように、酸化シリコン膜 1 3 を通じて基板 1 の一部にリン (P) イオンを注入した後、基板 1 をアニールすることによって n 型拡散層 3 を形成する。リンイオンのドーズ量は $4.5 \times 10^{12} \text{ cm}^{-2}$ 、注入エネルギーは 3 6 0 k e V とする。

【 0 0 2 9 】

続いて、基板 1 の一部にリン (P) イオンを注入し、他の一部にホウ素 (B) イオンを注入した後、基板 1 をアニールすることによって n 型ウエル 4 および p

型ウエル5を形成する。このときのリンイオンのドーズ量は $1.2 \times 10^{13} \text{ cm}^{-2}$ 、注入エネルギーは360 keVとし、ホウ素イオンのドーズ量は $0.8 \times 10^{13} \text{ cm}^{-2}$ 、注入エネルギーは200 keVとする。

【0030】

続いて、ツェナー・ダイオード形成領域のp型ウエル5の一部にホウ素(B)イオンを注入した後、基板1をアニールすることによって p^+ 型半導体領域6Aを形成する。 p^+ 型半導体領域6Aは、後の工程でその上部に n^+ 型半導体領域20が形成されることにより、ツェナー・ダイオード(D)の一部を構成する p^+ 型半導体領域6となる。

【0031】

次に、図14に示すように、メモリセル形成領域の一部に酸化シリコン膜、窒化シリコン膜および酸化シリコン膜からなる3層の絶縁膜によって構成されるゲート絶縁膜7を形成した後、このゲート絶縁膜7の上部にデータ書換え用のゲート電極10を形成する。

【0032】

ゲート絶縁膜7およびゲート電極10を形成するには、まずメモリセル形成領域のp型ウエル3の表面に形成されている酸化シリコン膜13の一部をエッチングにより除去し、続いて窒素で希釈した酸素雰囲気中で基板1を酸化することによって、上記酸化シリコン膜13が除去された領域のp型ウエル3の表面に膜厚1.8 nm程度の酸化シリコン膜(図示せず)を形成する。次に、基板1上にCVD法で膜厚1.8 nm程度の窒化シリコン膜(図示せず)を堆積した後、基板1をアニールすることによって、上記窒化シリコン膜の表面に膜厚3 nm程度の酸化シリコン膜(図示せず)を形成する。

【0033】

次に、リン(P)をドーブした膜厚200 nm程度のn型多結晶シリコン膜(図示せず)を基板1上にCVD法で堆積し、続いてこの多結晶シリコン膜の上部にCVD法で膜厚100 nm程度の酸化シリコン膜14を堆積した後、フォトリジスト膜をマスクにして酸化シリコン膜14、多結晶シリコン膜およびゲート絶縁膜7の一部をエッチングすることにより、ゲート電極10およびゲート絶縁膜

7を形成する。このゲート電極10には、データの書換え（書込みおよび消去）時に前記図2に示す定電圧発生回路を通じて書換え用の高電圧（ V_{pp} ）または電源電圧（ V_{cc} ）が供給され、その下部のゲート絶縁膜7中にトンネル効果によって電子または正孔が注入される。

【0034】

次に、図15に示すように、メモリセル形成領域および高耐圧MISFET形成領域のn型拡散層3およびp型ウエル5の表面に膜厚23nm程度の厚いゲート絶縁膜8を形成し、続いて他の領域のn型ウエル4およびp型ウエル5の表面に膜厚8nm程度の薄いゲート絶縁膜9を形成した後、ゲート絶縁膜8、9の上部にゲート電極11を形成する。

【0035】

ゲート絶縁膜8、9を形成するには、まずn型拡散層3、n型ウエル4およびp型ウエル5の表面に形成されている酸化シリコン膜13をエッチングにより除去し、続いて基板1を酸化することによって、n型拡散層3、n型ウエル4およびp型ウエル5の表面に厚いゲート絶縁膜8を形成する。次に、メモリセル形成領域および高耐圧MISFET形成領域のn型拡散層3およびp型ウエル5の表面のゲート絶縁膜8を残し、他の領域のゲート絶縁膜8をエッチングにより除去した後、基板1を酸化することによって、上記他の領域のn型ウエル4およびp型ウエル5の表面に薄いゲート絶縁膜9を形成する。

【0036】

次に、ゲート絶縁膜8、9の上部にリン（P）をドーブした膜厚80nm程度のn型多結晶シリコン膜（図示せず）をCVD法で堆積し、続いてこの多結晶シリコン膜の上部にスパッタリング法で膜厚100nm程度のW（タングステン）シリサイド膜（図示せず）を堆積し、さらにその上部にCVD法で膜厚150nm程度の酸化シリコン膜15を堆積した後、フォトリソグラフ膜をマスクにして酸化シリコン膜15、Wシリサイド膜および多結晶シリコン膜をエッチングすることにより、ゲート電極11を形成する。

【0037】

次に、図16に示すように、n型拡散層3およびn型ウエル4にホウ素（B）

イオンを注入することによって低不純物濃度の p^- 型半導体領域16を形成し、 p 型ウエル5にリン(P)イオンを注入することによって低不純物濃度の n^- 型半導体領域17を形成する。

【0038】

次に、図17に示すように、ゲート電極10、11の側壁にサイドウォールスペーサ18を形成した後、 n 型拡散層3および n 型ウエル4にホウ素(B)イオンを注入することによって、メモリセル形成領域および周辺回路形成領域に高不純物濃度の p^+ 型半導体領域(ソース、ドレイン)19を形成する。同図には示さないが、このとき、ツェナー・ダイオード形成領域の p 型ウエル5の一部(前記図4に示す接続孔25の下部)にも p^+ 型半導体領域19を形成する。また、 p 型ウエル5にヒ素(As)イオンおよびリン(P)イオンを注入することによって、周辺回路形成領域に高不純物濃度の n^+ 型半導体領域(ソース、ドレイン)20を形成し、ツェナー・ダイオード形成領域に高不純物濃度の n^+ 型半導体領域20を形成する。サイドウォールスペーサ18は、基板1上にCVD法で堆積した酸化シリコン膜(図示せず)を異方性エッチングすることによって形成する。また、ホウ素イオンのドーズ量は $2 \times 10^{15} \text{ cm}^{-2}$ 、注入エネルギーは10 keVとし、ヒ素イオンのドーズ量は $3 \times 10^{15} \text{ cm}^{-2}$ 、注入エネルギーは60 keVとし、リンイオンのドーズ量は $5 \times 10^{13} \text{ cm}^{-2}$ 、注入エネルギーは60 keVとする。

【0039】

ここまでの工程により、EEPROMのメモリセルを構成するMISFETおよび周辺回路を構成するMISFETが完成する。また、 p^+ 型半導体領域6Aが形成されたツェナー・ダイオード形成領域の p 型ウエル5に上記高不純物濃度の n^+ 型半導体領域20を形成することにより、 n^+ 型半導体領域20とその下部に形成された p^+ 型半導体領域6とによって構成されるツェナー・ダイオード(D)が完成する。

【0040】

次に、図18に示すように、上記MISFETおよびツェナー・ダイオード(D)の上部にCVD法で2層の酸化シリコン膜28、29を堆積し、続いてフォ

トレジスト膜をマスクにして酸化シリコン膜 2 8、2 9 をドライエッチングすることにより、上記 M I S F E T のソース、ドレイン (p^+ 型半導体領域 1 9 および n^+ 型半導体領域 2 0) の上部に接続孔 3 0 ~ 3 6 を形成し、ツェナー・ダイオード (D) の n^+ 型半導体領域 2 0 の上部に接続孔 2 4 を形成し、同図には示さないツェナー・ダイオード形成領域の p 型ウエル 5 の一部 (前記図 4 に示す p^+ 型半導体領域 1 9 の上部) に接続孔 2 5 を形成する。前述したように、ツェナー・ダイオード (D) の n^+ 型半導体領域 2 0 の上部に形成する接続孔 2 4 は、リーク電流を低減するために、 n^+ 型半導体領域 2 0 の周辺部 (p^+ 型半導体領域 6 の外側)、すなわち n^+ 型半導体領域 2 0 の接合深さが深い領域に配置する。

【 0 0 4 1 】

また、上記接続孔 2 4 は、互いの距離を離間して配置する。本発明者の検討によれば、一般にフォトリジスト膜をマスクにしたドライエッチングで複数個の接続孔を形成する場合、接続孔を密に配置すると、レジストパターンの側壁や頂部の膜減りに起因して接続孔のアスペクト比が低下し、接続孔の底部における基板の削れ量が増加する。そのため、上記ツェナー・ダイオード (D) の場合は、接続孔 2 4 の底部における n^+ 型半導体領域 2 0 の接合深さが浅くなり、リーク電流が増加する原因となる。従って、接続孔 2 4 同士の距離を離間して配置することにより、接続孔 2 4 の底部における n^+ 型半導体領域 2 0 の削れ量が低減されるため、リーク電流をさらに低減することができる。接続孔を密に配置した場合におけるレジストパターンの膜減りは、ポジ型、ネガ型を問わず発生し、さらに露光光の干渉など、種々の要因によっても引き起こされる。

【 0 0 4 2 】

次に、図 1 9 に示すように、酸化シリコン膜 2 9 の上部に第 1 層目の配線 2 1 (および同図には示さない配線 2 2、2 3)、4 0 ~ 4 6 を形成し、続いて配線 2 1 (および同図には示さない配線 2 2、2 3)、4 0 ~ 4 6 の上部に C V D 法で酸化シリコン膜 5 0 を堆積した後、酸化シリコン膜 5 0 の上部に第 2 層目の配線 5 1 ~ 5 4 を形成する。第 1 層目の配線 2 1、4 0 ~ 4 6 および第 2 層目の配線 2 5、2 6、5 1 ~ 5 4 は、例えば C V D 法で堆積した W (タングステン) 膜やスパッタリング法で堆積した A l 合金膜などのメタル膜をドライエッチングす

ることによって形成する。なお、接続孔 3 0 ~ 3 6、7 0 の内部に W 膜などからなるプラグ（導電性接続体）を埋め込んでから第 1 層目の配線 2 1、4 0 ~ 4 6 を形成してもよい。

【 0 0 4 3 】

その後、図 2 0 に示すように、第 2 層目の配線 5 1 ~ 5 6 の上部に C V D 法で酸化シリコン膜 6 0 を堆積し、続いて酸化シリコン膜 6 0 の上部に上記と同様の方法で第 3 層目の配線 6 1、6 2 を形成した後、第 3 層目の配線 6 1、6 2 の上部に C V D 法で堆積した酸化シリコン膜と窒化シリコン膜との積層膜などからなる表面保護膜 6 3 を形成することにより、E E P R O M が略完成する。

【 0 0 4 4 】

以上のように、本実施形態によれば、ツェナー・ダイオードのリーク電流を低減することができるので、降伏（ブレイクダウン）開始電圧でのリーク電流を、例えば $1 \mu\text{A}$ 以下まで低減することができ、定電圧発生回路で発生させた書換え電圧（ V_{pp} ）を E E P R O M に安定供給することが可能となる。

【 0 0 4 5 】

なお、本実施形態では、ツェナー・ダイオード（D）の n^+ 型半導体領域 2 0 と配線とを接続する複数の接続孔 2 4 を n^+ 型半導体領域 2 0 の周辺部のみに配置したが、例えば微細化によって n^+ 型半導体領域 2 0 の周辺部の面積が狭くなったような場合には、図 2 1、図 2 2 に示すように、接続孔 2 4 を p^+ 型半導体領域 6 の上部に配置してもよい。この場合でも、前記図 6 に示すグラフの実線 B に示したように、接続孔 2 4 同士の距離を離間して配置することにより、リーク電流の増加を最小限に抑えることができる。また、場合によっては、接続孔 2 4 を n^+ 型半導体領域 2 0 および p^+ 型半導体領域 6 の両方にそれぞれ離間して配置することもできる。

【 0 0 4 6 】

また、本実施形態では、ツェナー・ダイオード（D）の p^+ 型半導体領域 6 を n^+ 型半導体領域の中央部に配置したが、例えば図 2 3 に示すように、中央部以外の領域に配置してもよい。この場合も、 n^+ 型半導体領域 2 0 と配線とを接続する複数の接続孔 2 4 は、 n^+ 型半導体領域 2 0 と p^+ 型半導体領域 6 とが接合

を形成していない領域に配置する。

【0047】

また、複数の接続孔24の一部を p^+ 型半導体領域6の上部に配置してもよいが、この場合は、接続孔24同士の距離を離間して配置することにより、リーク電流の増加を最小限に抑えることができる。

【0048】

また、前記図4に示す p^+ 型半導体領域19は、基板削れによる素子特性への影響が比較的小さい領域であるため、この上部に形成する接続孔25は、接続孔25同士のピッチを回路の最小ピッチとしてもよい。

【0049】

(実施の形態2)

本実施形態のシステムLSIは、EEPROMの周辺回路の一部にバイポーラ・トランジスタを含んだ構成になっている。

【0050】

図24は、バイポーラ・トランジスタ(Bip)が形成された基板1の要部断面図、図25は、このバイポーラ・トランジスタ(Bip)のエミッタ領域70、ベース領域71およびコレクタ領域72のそれぞれと図示しない配線とを接続する接続孔73～74のレイアウトを示す平面図である。

【0051】

例えばnpn型バイポーラ・トランジスタの場合、ベース電流の主成分は、ベース領域71からエミッタ領域70に流れる正孔電流である。ところが、ドライエッチングによってエミッタ領域70の上部に接続孔73を形成する際、接続孔73の底部において基板削れが生じると、エミッタ領域70が実効的に浅くなる。そのため、ベース領域71からエミッタ領域70に注入された少数キャリアである正孔がエミッタ電極に達し易くなり、ベース電流が増加する結果、直流電流増幅率(hFE)が低下してしまう。すなわち、エミッタ領域70の基板削れは、ベース領域71やコレクタ領域72での基板削れに比べて素子特性への影響が大きい。

【0052】

そこで、本実施形態では、エミッタ領域 7 0 の上部の接続孔 7 3 同士のピッチを、素子特性への影響が比較的小さいベース領域 7 1 やコレクタ領域 7 2 の上部の接続孔 7 4、7 5 同士のピッチよりも大きくすることによって、エミッタ領域 7 0 の上部に接続孔 7 3 を形成する際の基板削れ量を低減する。

【 0 0 5 3 】

図 2 6 は、エミッタ領域の上部の接続孔のピッチと直流電流増幅率 h_{FE} (コレクタ電流 I_C / ベース電流 I_B) との関係を示すグラフである。図示のように、接続孔を最小ピッチで 9 行 2 列 (合計 1 8 個) 配置した場合と、接続孔を千鳥配置にしてピッチを広げ、9 個配置した場合とを比較すると、接続孔のピッチを広げたときの直流電流増幅率 h_{FE} は、最小ピッチにしたときの 7 6 から 1 5 9 n に改善された。

【 0 0 5 4 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 5 5 】

例えば前記実施形態では、p 型ウエルに形成された n^+ 型半導体領域と、この n^+ 型半導体領域の下部の p 型ウエルに形成された p^+ 型半導体領域とによって構成されたツェナー・ダイオードに適用した場合について説明したが、本発明は、導電型が上記とは逆になったツェナー・ダイオード、すなわち n 型ウエルに形成された p^+ 型半導体領域と、この p^+ 型半導体領域の下部の n 型ウエルに形成された n^+ 型半導体領域とによって構成されたツェナー・ダイオードにも適用することができる。

【 0 0 5 6 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【 0 0 5 7 】

本発明によれば、ツェナー・ダイオードの降伏 (ブレークダウン) 開始電圧で

のリーク電流を大幅に低減することができるので、例えばEEPROMの定電圧発生回路に本発明構造のツェナー・ダイオードを適用することにより、定電圧発生回路で発生させた書換え電圧をEEPROMに安定供給することが可能となる。

【0058】

また、本発明によれば、基板と配線とを接続するための接続孔を形成する際に生じる基板削れを抑制することができる。これにより、例えばツェナー・ダイオードの半導体領域と配線とを接続するための接続孔を形成する際、接続孔の底部における半導体領域の接合深さが浅くなる不具合を防止できるので、ツェナー・ダイオードのリーク電流をさらに低減することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態であるシステムLSIが形成された半導体チップのブロック図である。

【図2】

本発明の一実施の形態であるシステムLSIに内蔵された定電圧発生回路の回路図である。

【図3】

本発明の一実施の形態であるシステムLSIに形成されたツェナー・ダイオードの平面図である。

【図4】

図3のIV-IV線に沿った半導体基板の断面図である。

【図5】

図3に示したツェナー・ダイオードに接続された配線の図示を省略した概略平面図である。

【図6】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトとブレイクダウン電圧以下の電圧において発生するリーク電流との関係を1段のツェナー・ダイオードについて測定した結果を示すグラフである。

【図 7】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図である。

【図 8】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図である。

【図 9】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図である。

【図 1 0】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図である。

【図 1 1】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図である。

【図 1 2】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 1 3】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 1 4】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 1 5】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 1 6】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要

部断面図である。

【図 1 7】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 1 8】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 1 9】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 2 0】

本発明の一実施の形態であるシステム L S I の製造方法を示す半導体基板の要部断面図である。

【図 2 1】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図および断面図である。

【図 2 2】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図および断面図である。

【図 2 3】

ツェナー・ダイオードの上部に形成する接続孔のレイアウトを簡略化して示す平面図および断面図である。

【図 2 4】

本発明の他の実施の形態であるシステム L S I を示す半導体基板の要部断面図である。

【図 2 5】

本発明の他の実施の形態であるシステム L S I に形成されたバイポーラ・トランジスタおよびそれに形成される接続孔のレイアウトを示す平面図である。

【図 2 6】

エミッタ領域の上部に形成される接続孔のピッチと直流電流増幅率 h_{FE} (コレクタ電流 I_C / ベース電流 I_B) との関係を示すグラフである。

【符号の説明】

- 1 半導体基板
- 1 A 半導体チップ
- 2 フィールド絶縁膜
- 3 n型拡散層
- 4 n型ウエル
- 5 p型ウエル
- 6 p^+ 型半導体領域
- 6 A p^+ 型半導体領域
- 7、8、9 ゲート絶縁膜
- 10、11 ゲート電極
- 13、14、15 酸化シリコン膜
- 16 p^- 型半導体領域
- 17 n^- 型半導体領域
- 18 サイドウォールスペーサ
- 19 p^+ 型半導体領域 (ソース、ドレイン)
- 20 n^+ 型半導体領域 (ソース、ドレイン)
- 21～23 配線
- 24、25 接続孔
- 28、29 酸化シリコン膜
- 30～36 接続孔
- 40～46 配線
- 50 酸化シリコン膜
- 51～56 配線
- 60 酸化シリコン膜
- 61、62 配線
- 63 表面保護膜

7 0 エミッタ領域

7 1 ベース領域

7 2 コレクタ領域

7 3 ~ 7 5 接続孔

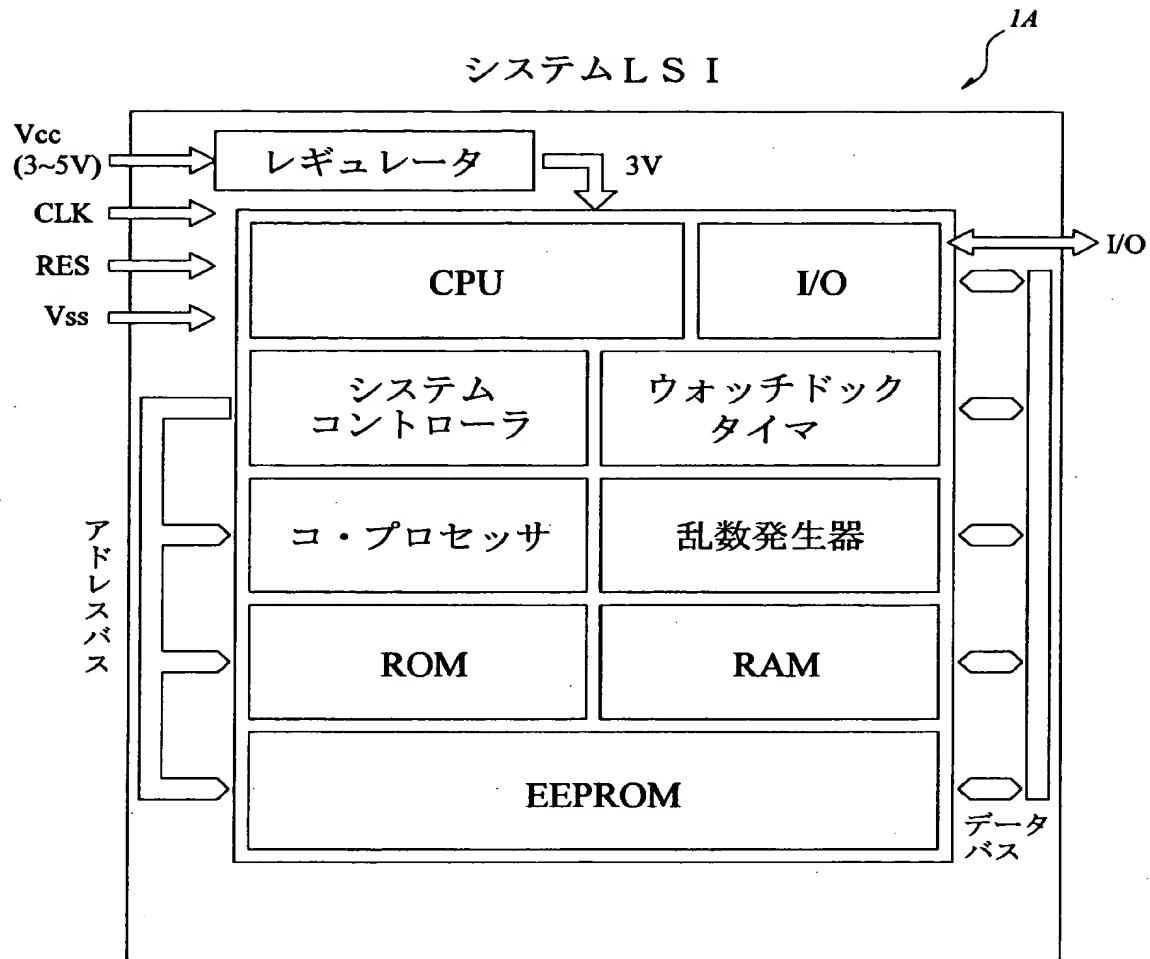
B i p バイポーラ・トランジスタ

D、D₁、D₂ ツェナー・ダイオード

【書類名】 図面

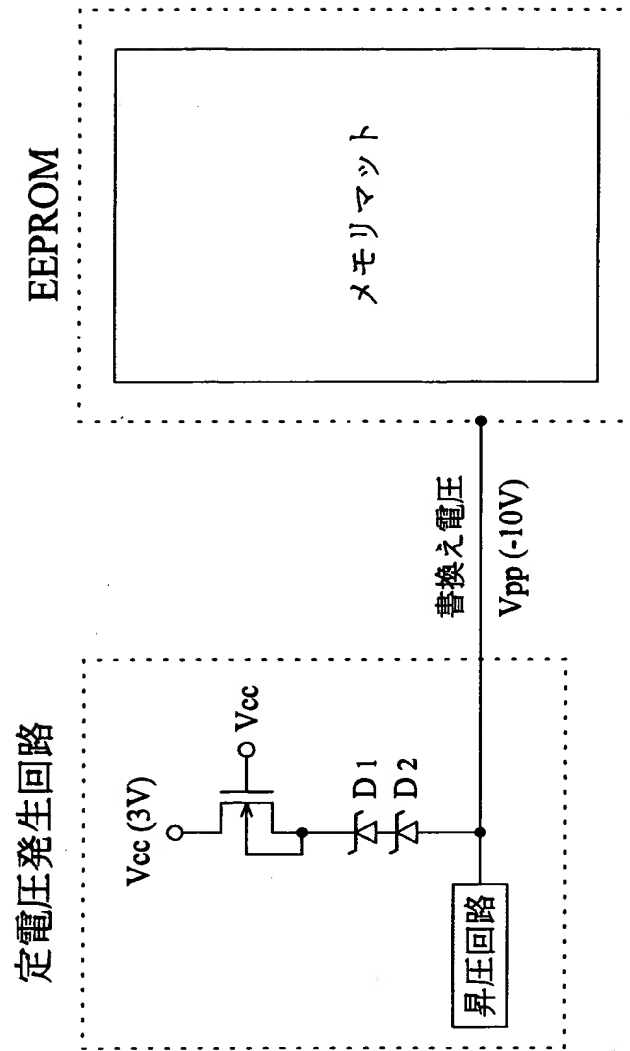
【図 1】

図 1

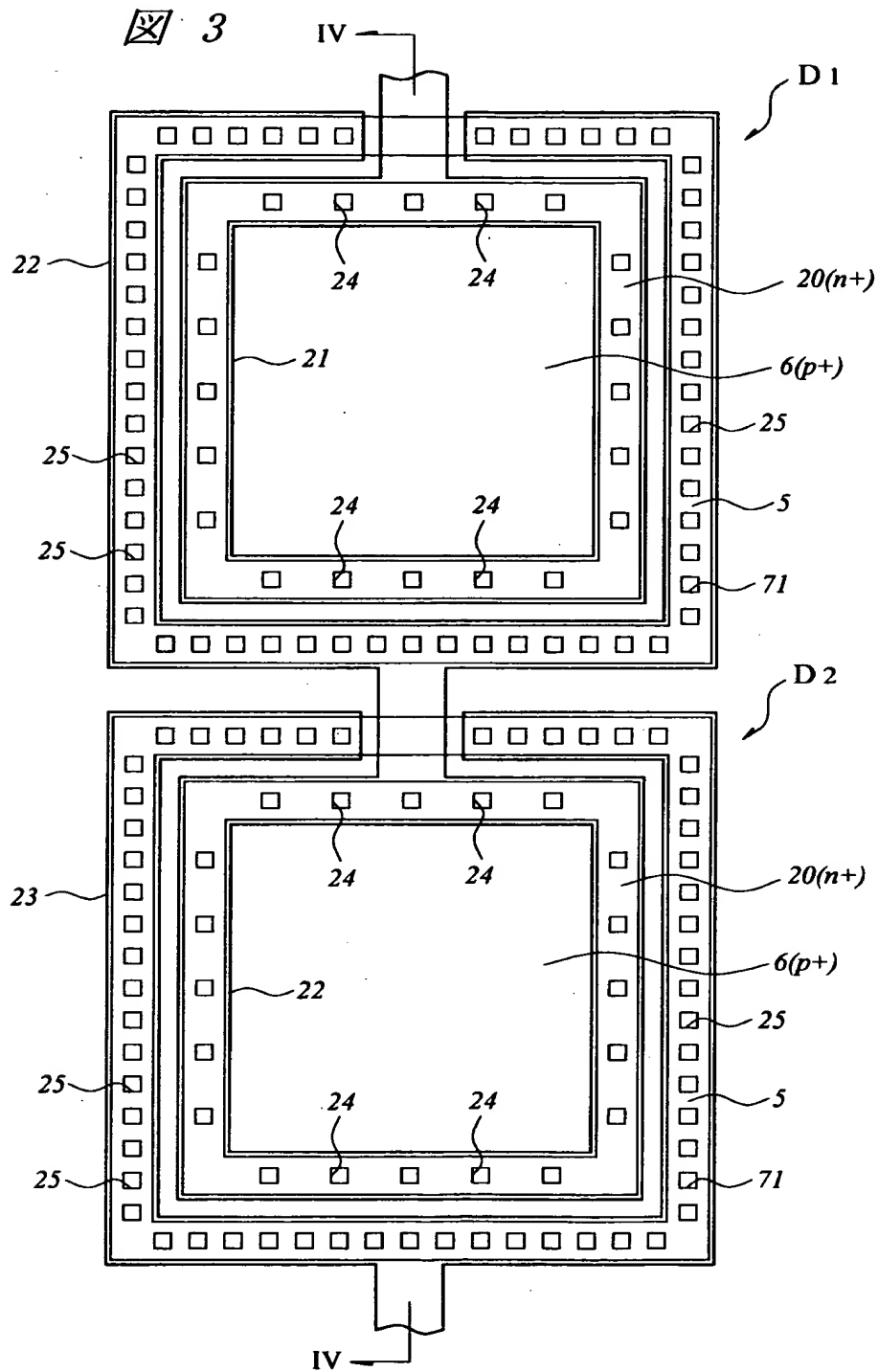


【図 2】

図 2

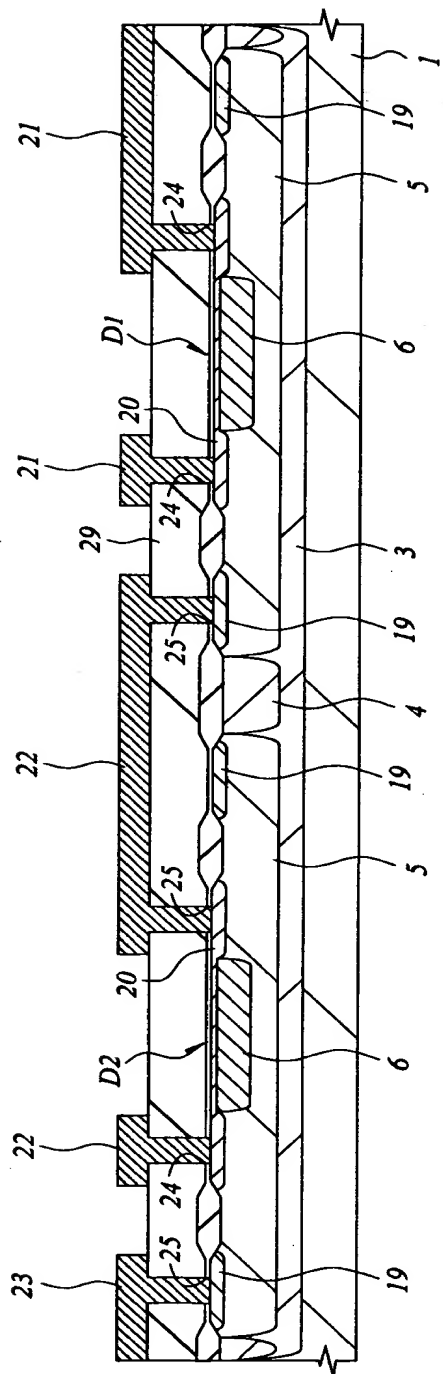


【図 3】



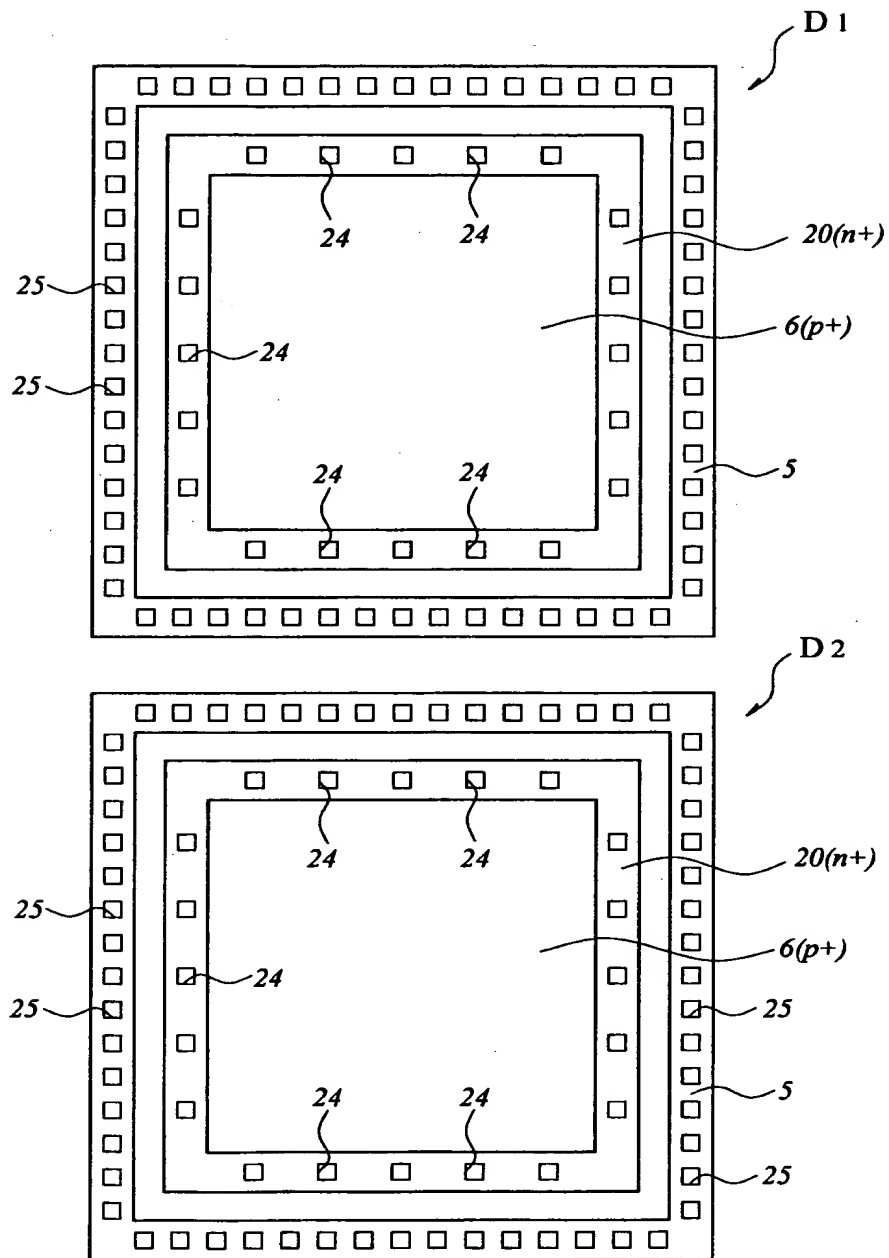
【図 4】

図 4



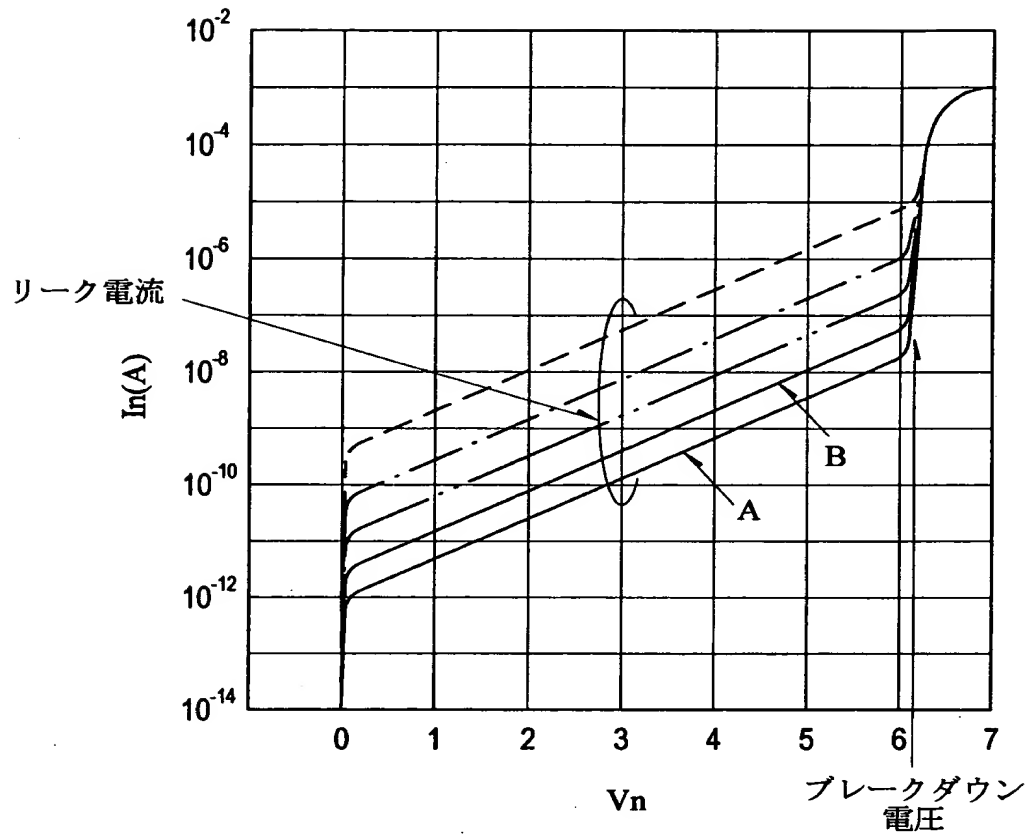
【図 5】

図 5



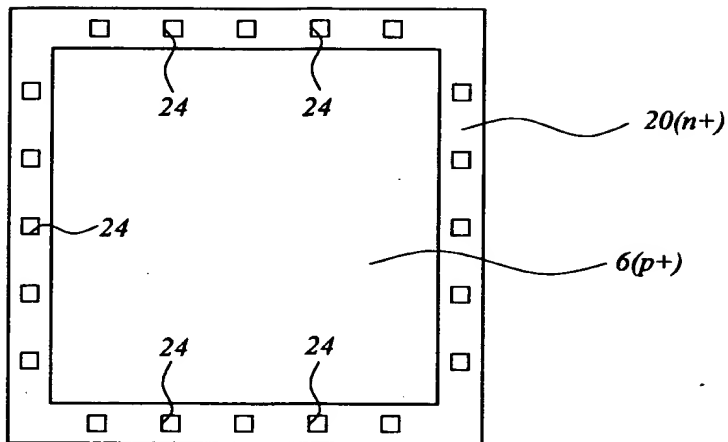
【図 6】

図 6



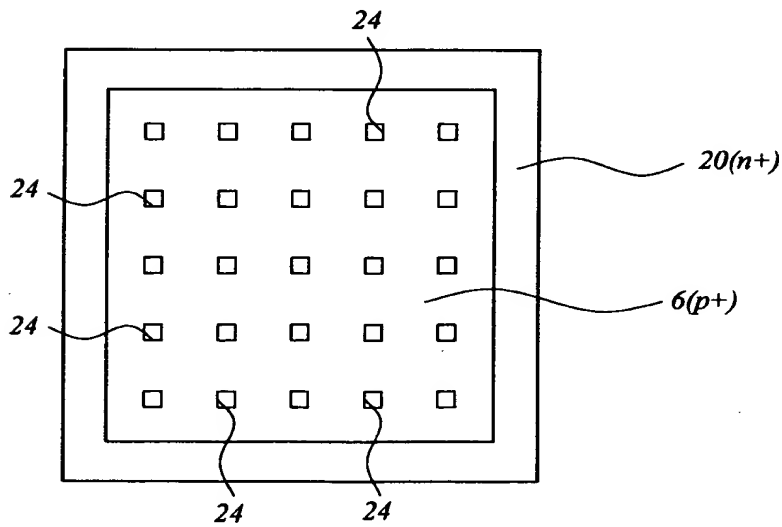
【図 7】

図 7



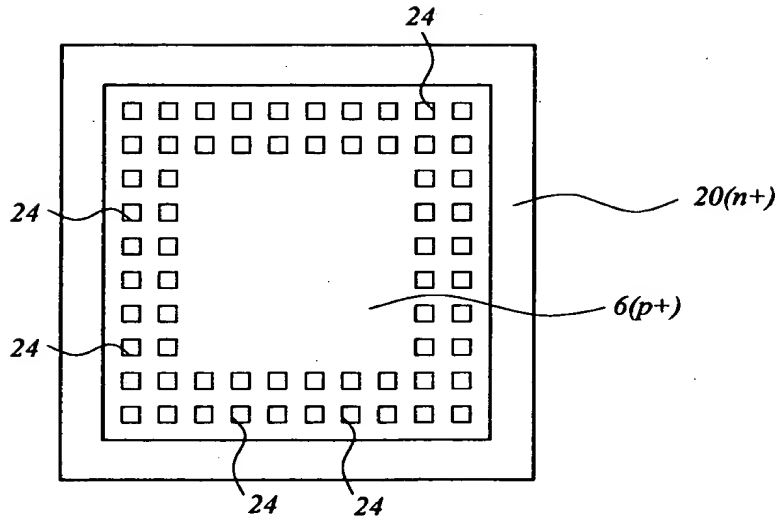
【図 8】

図 8



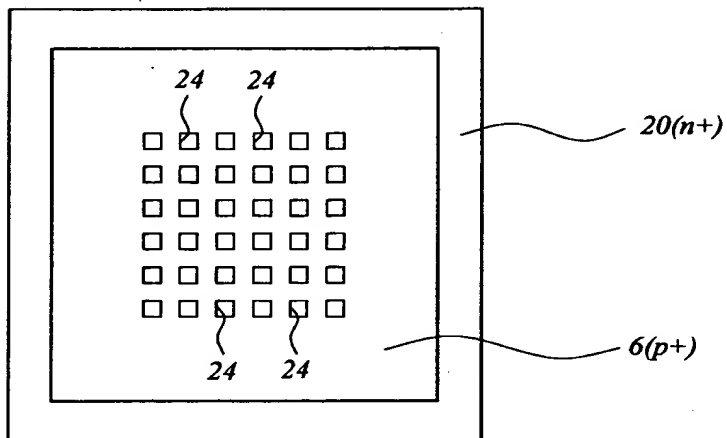
【図 9】

図 9



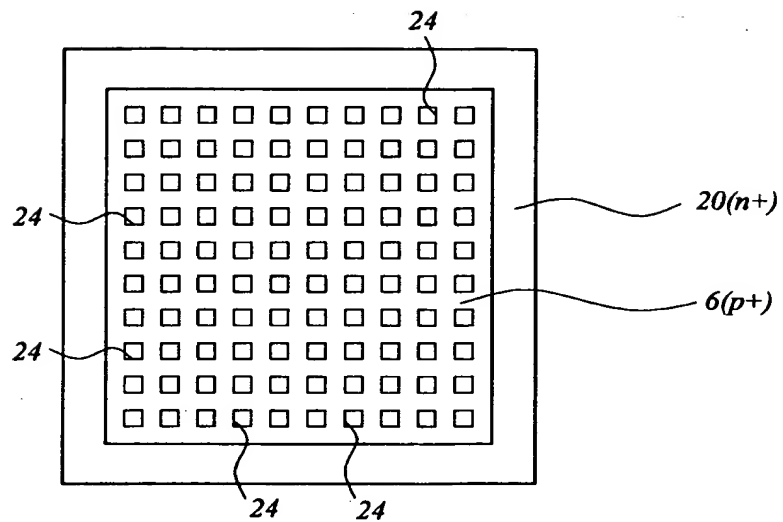
【図 10】

図 10



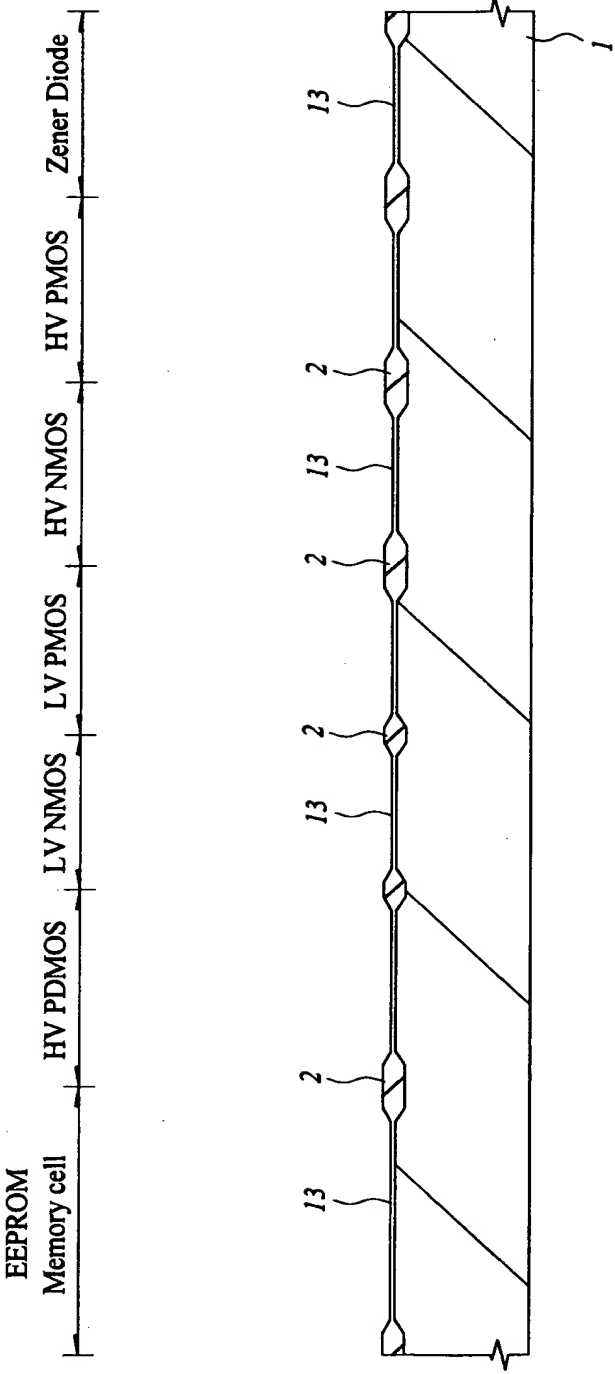
【図 1 1】

図 11



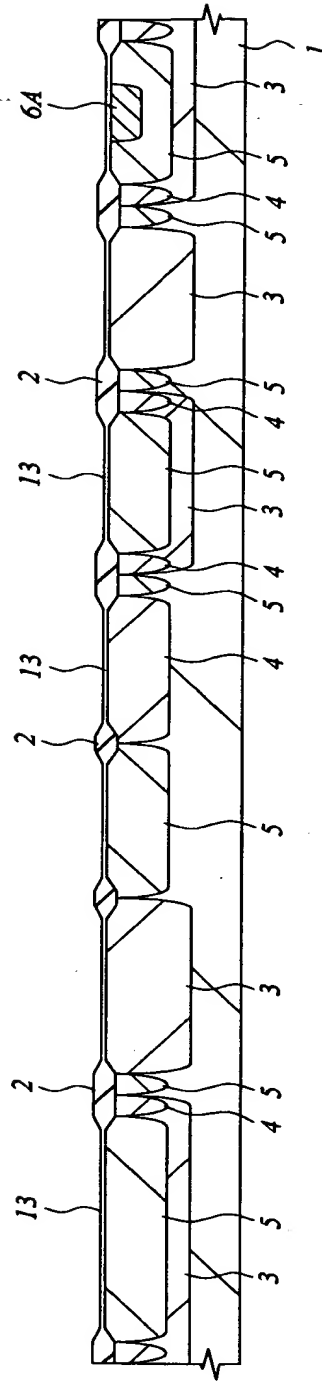
【図 1 2】

図 12



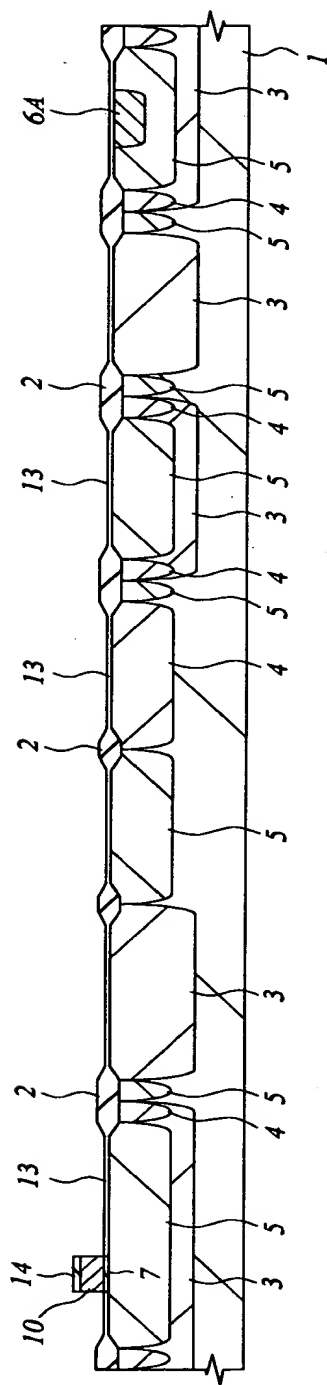
【図 1 3】

図 13



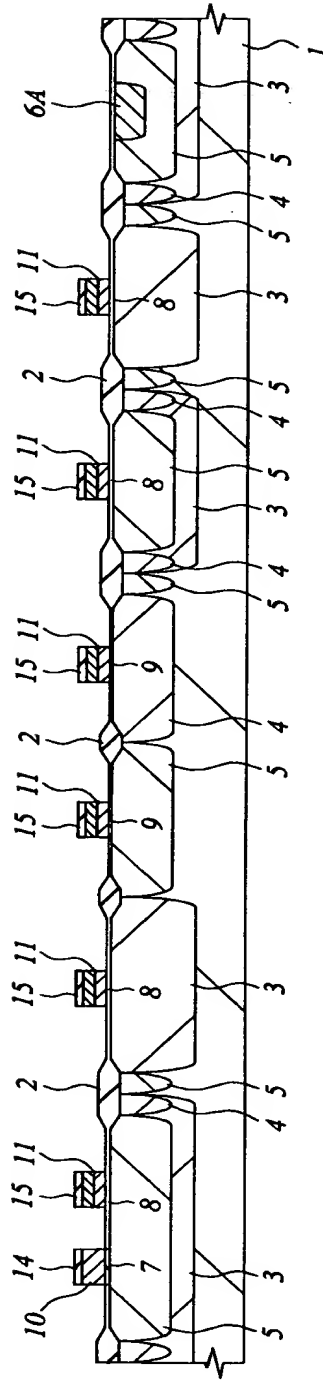
【図 14】

図 14



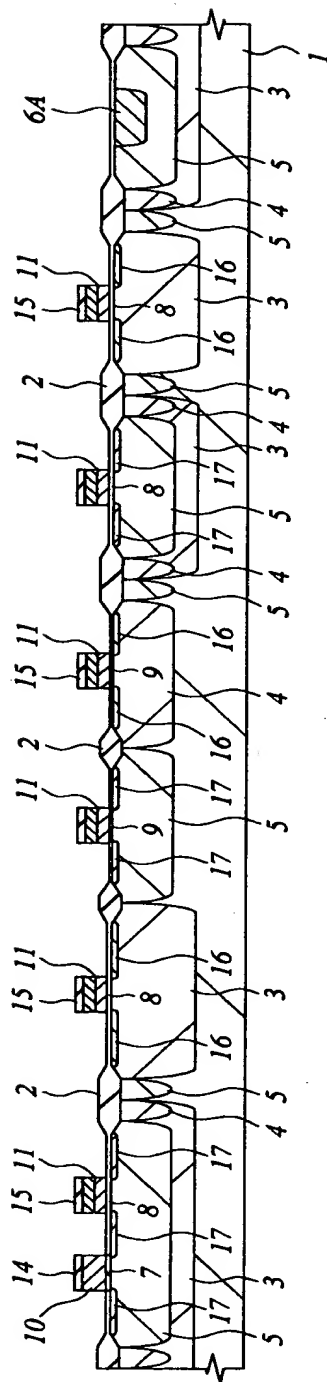
【図 15】

図 15

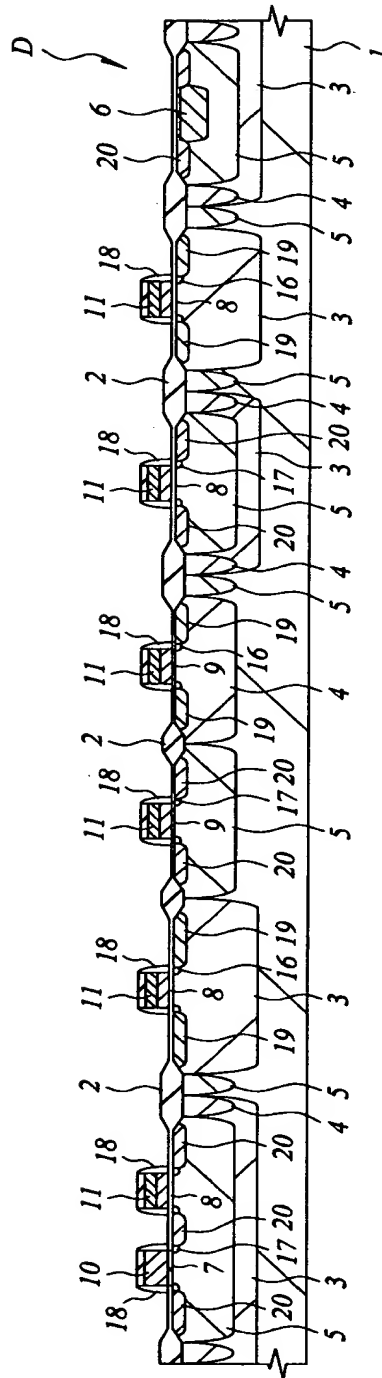


【図 16】

図 16

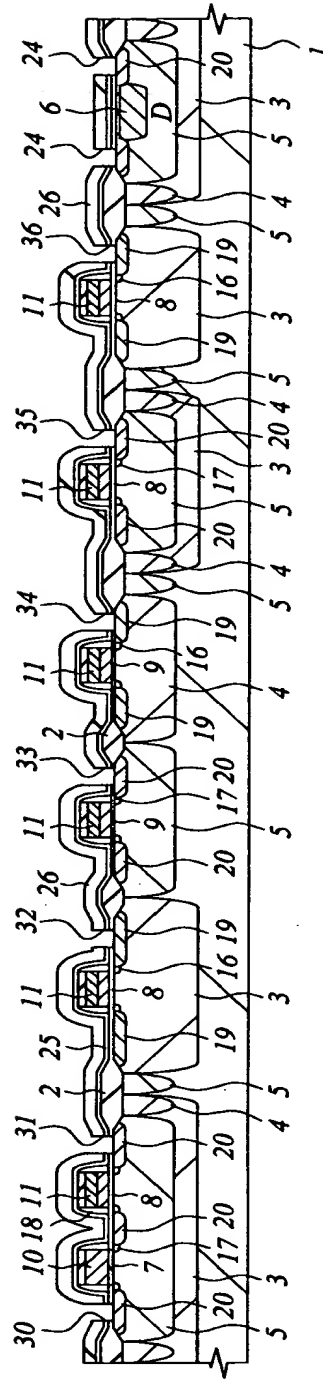


【図 17】



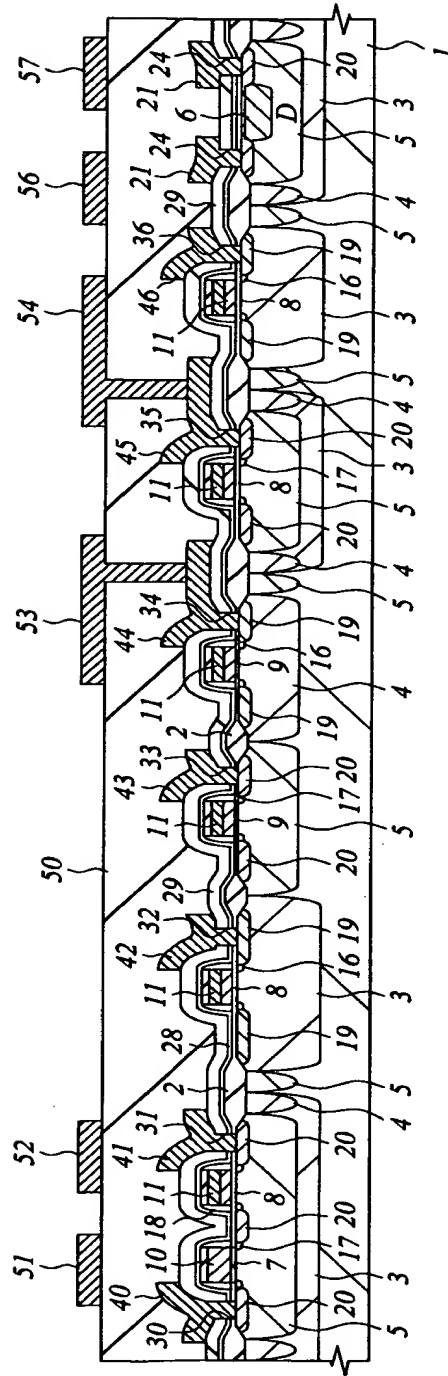
【図 18】

図 18



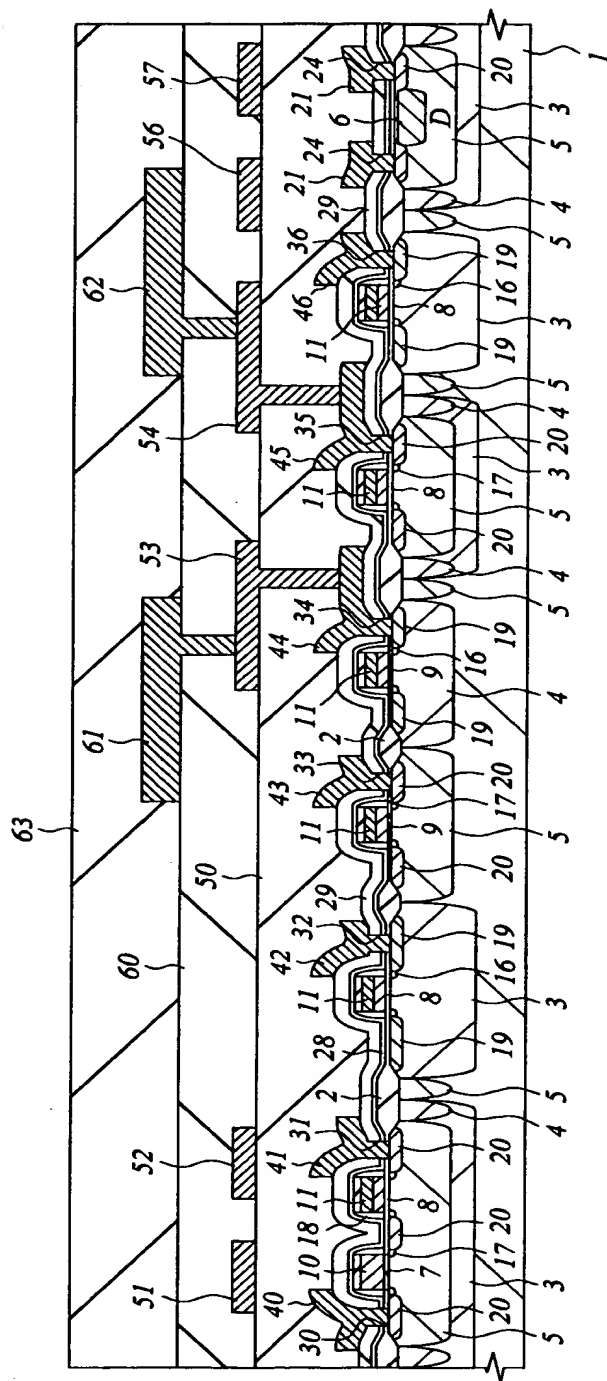
【図19】

図 19



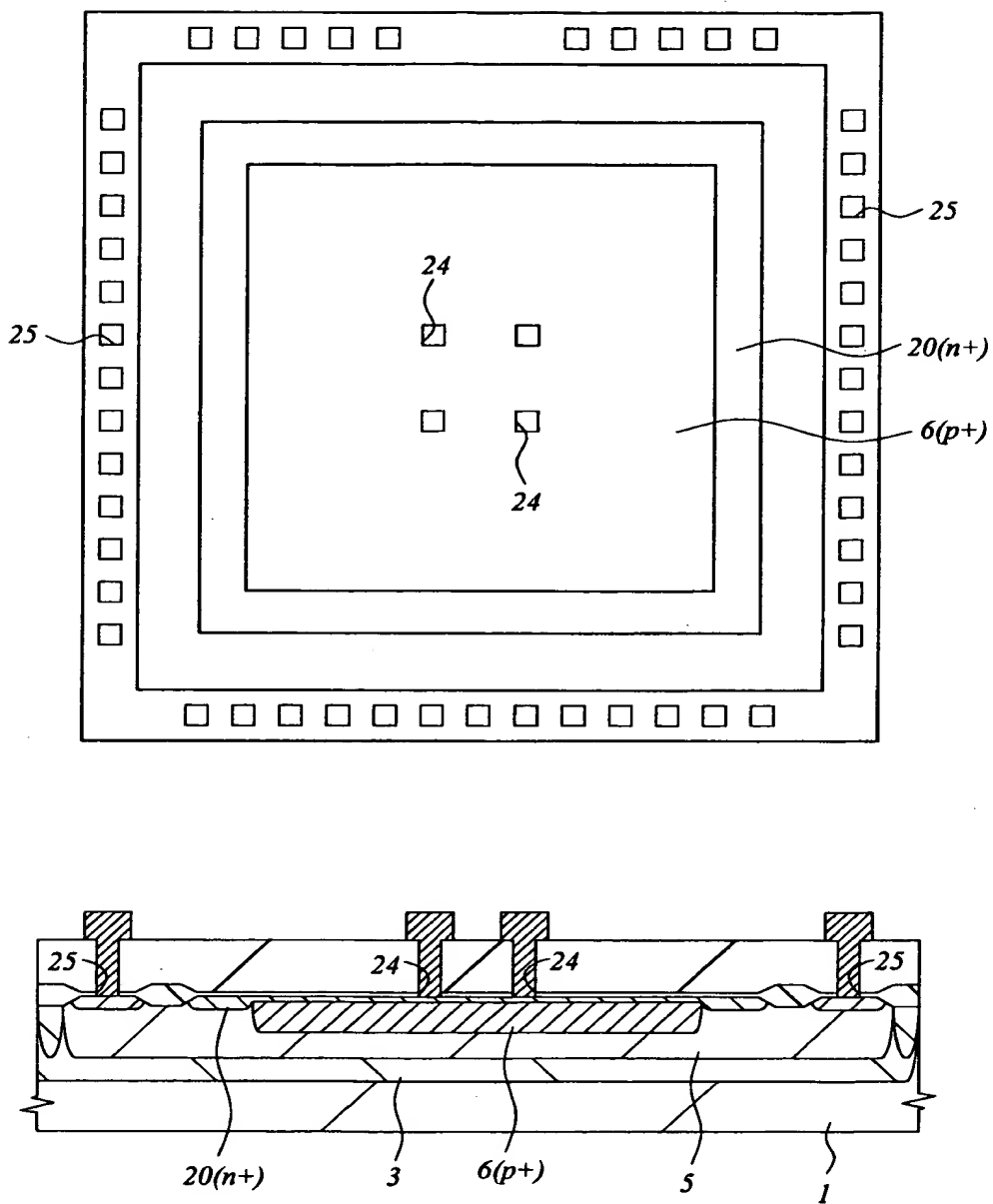
【図20】

図 20



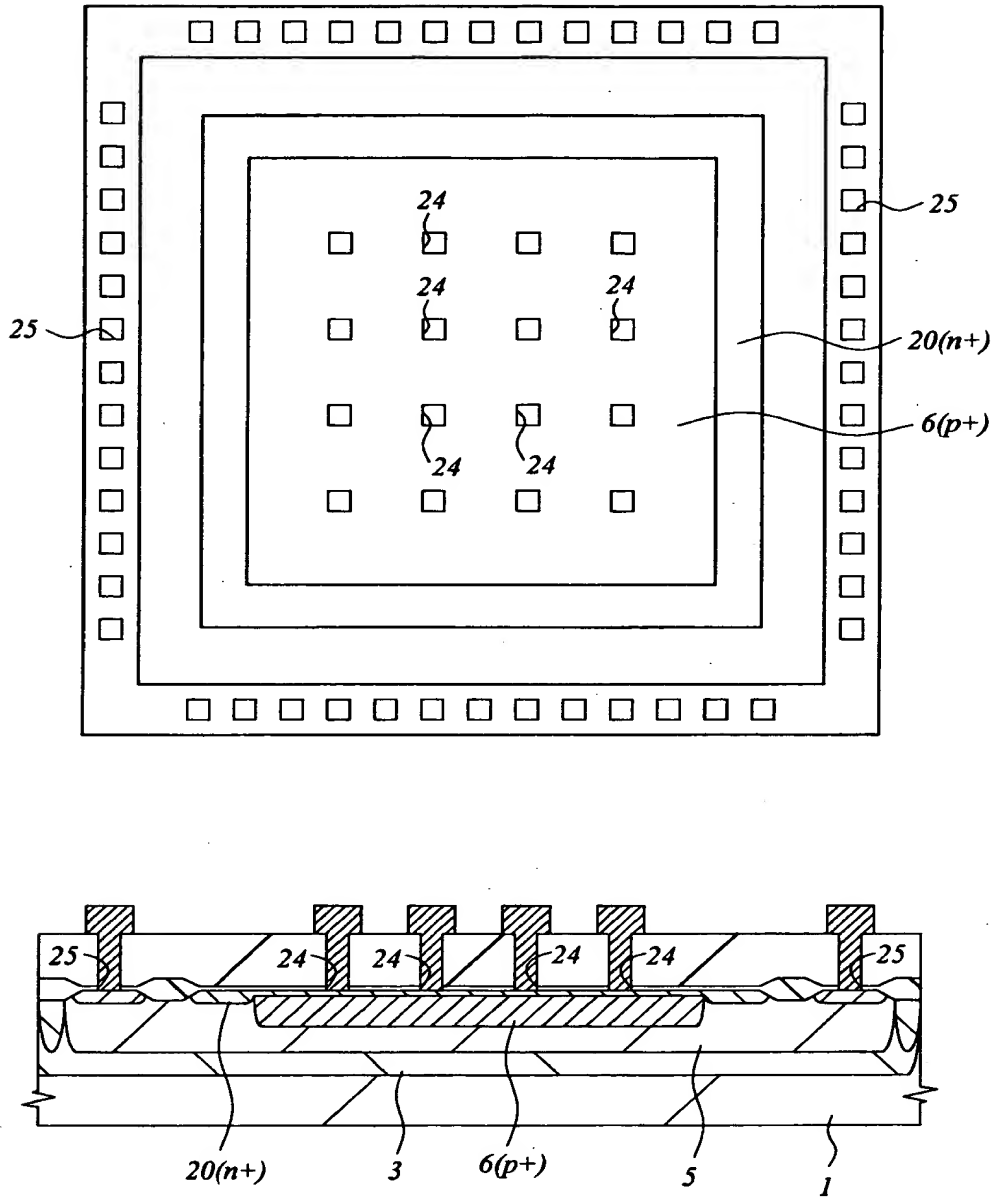
【図 21】

図 21



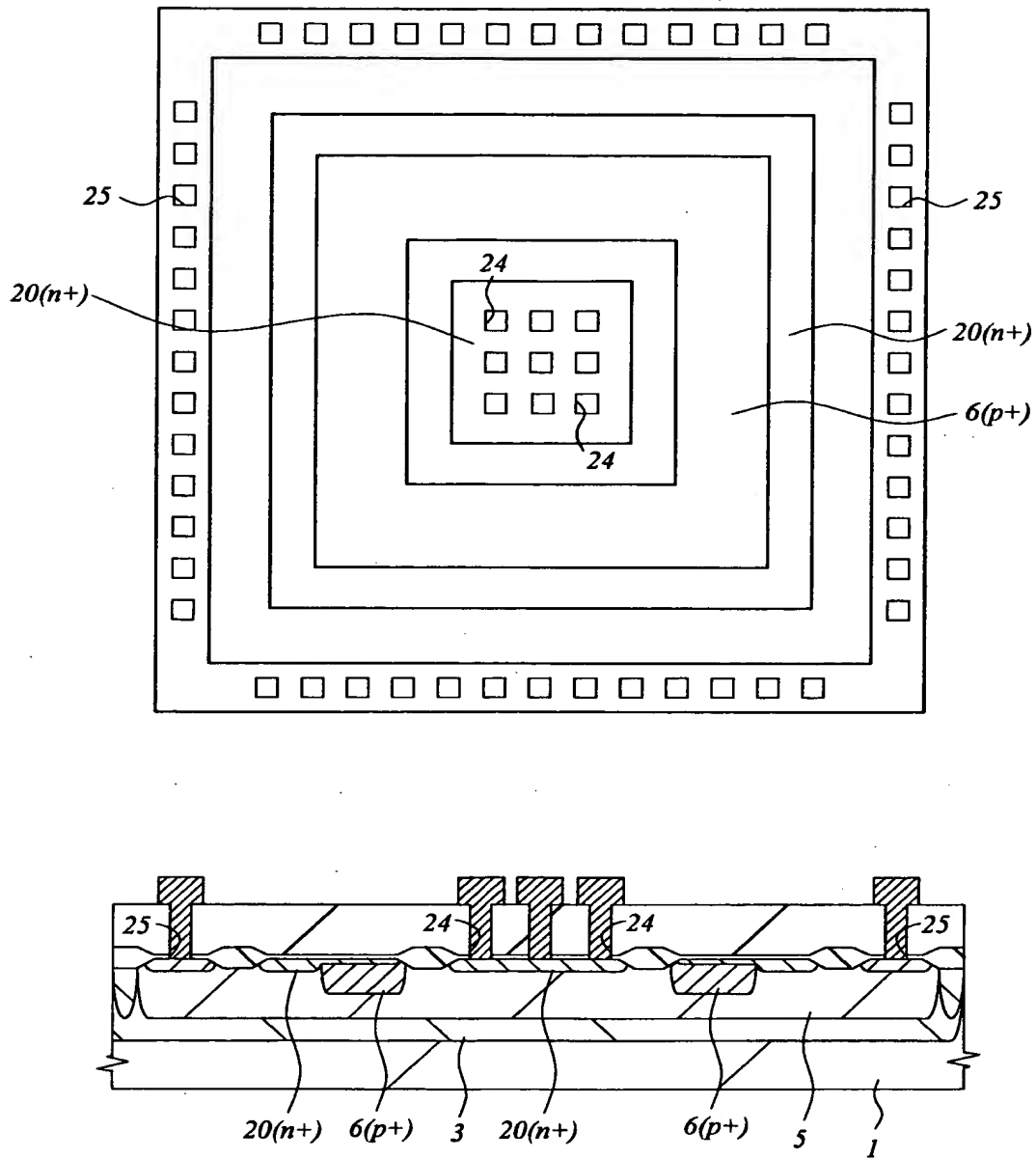
【図 22】

図 22

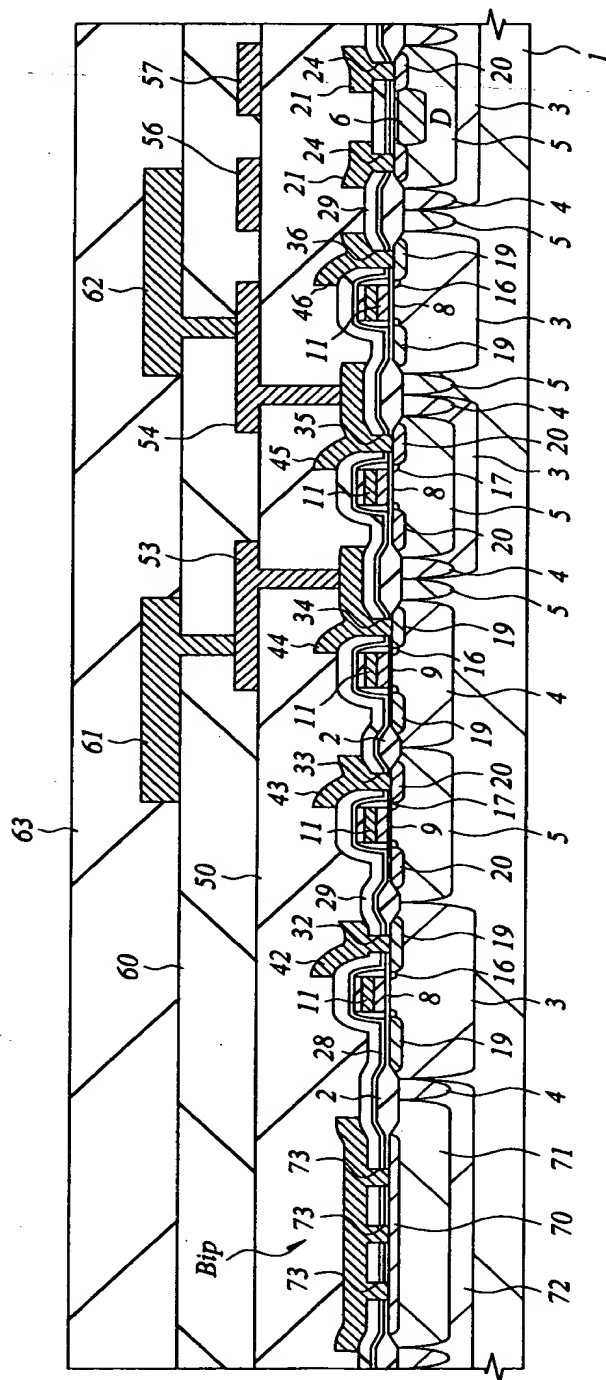


【図 23】

図 23

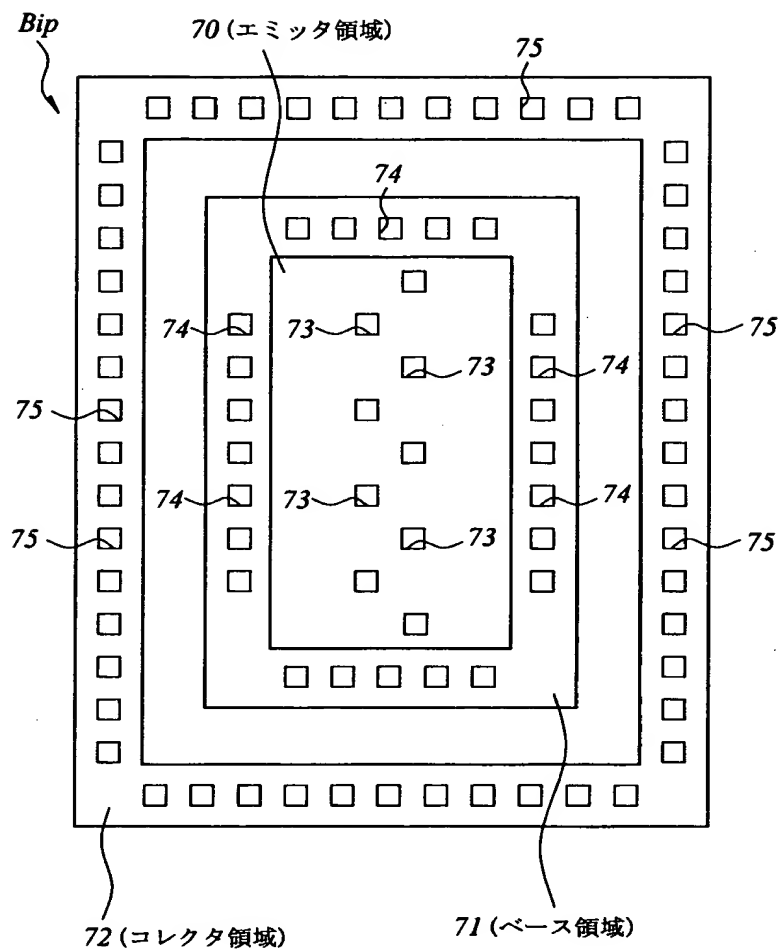


【図 24】



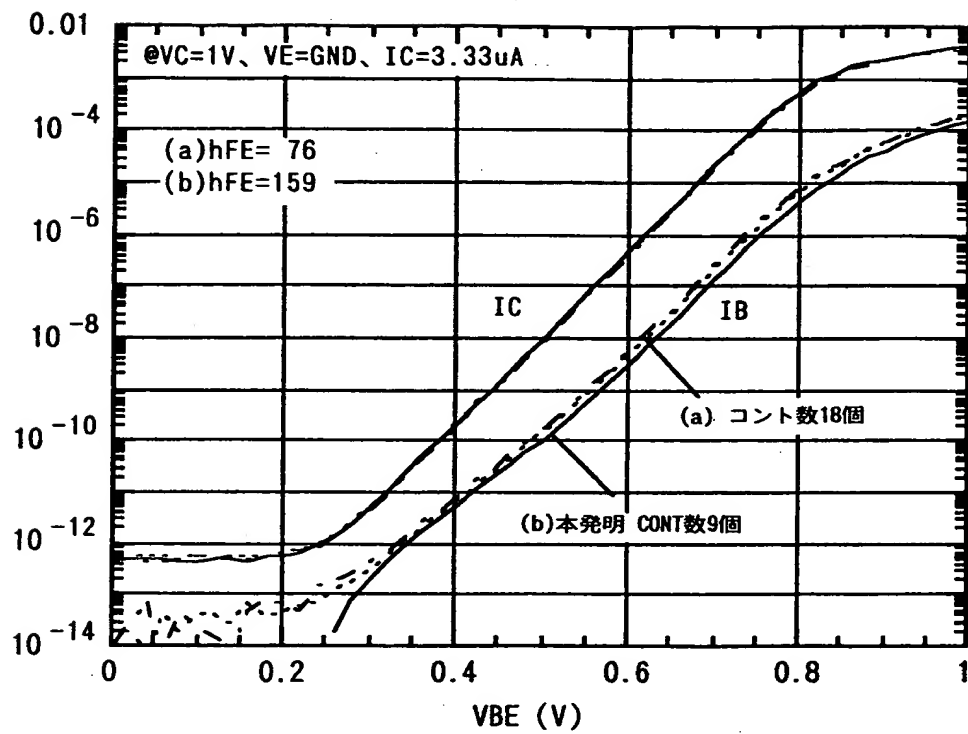
【図 25】

図 25



【図 26】

図 26



【書類名】 要約書

【要約】

【課題】 メモリセルの定電圧発生回路に形成されるツェナー・ダイオードのリーク電流を低減する。

【解決手段】 ツェナー・ダイオード (D_1 、 D_2) の n^+ 型半導体領域 20 と配線 21、22 とを接続する複数の接続孔 24 は、 n^+ 型半導体領域 20 の中央部、すなわち p^+ 型半導体領域 6 と接合を形成している領域には配置されず、接合深さが中央部に比べて深い周辺部に配置される。また、これらの接続孔 24 は、隣接する接続孔 24 とのピッチが回路の接続孔の最小ピッチよりも大きくなるように離間して配置され、ドライエッチングで接続孔 24 を形成する際の基板削れ量が低減される。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所